

**Publication number : 06-064229**

**Date of publication of application : 08.03.1994**

---

**Int.Cl. B41J 2/44 B41J 2/45 B41J 2/455**

**5 H01L 33/00 H04N 1/036**

---

**Application number : 04-223928**

**Applicant : TOSHIBA CORP**

**Date of filing : 24.08.1992**

**10 Inventor :**

**KURODA YASUSHI**

---

**OPTICAL PRINTING HEAD**

**15 [Abstract]**

**PURPOSE:** To enhance high speed recording properties and reliability by a method wherein a plurality of the light emitting data signals transmitted from a shift register are held for a definite period in one element of a drive circuit constituted of a membrane transistor and electric field light emitting elements are allowed to emit light two or more times.

**20 CONSTITUTION:** In an optical printing head constituted by a large number of electric field light emitting elements EL1-EL4... are arranged in a line form, one light emitting element, for example, EL1 is driven by a shift register SR, latches L1, L2, AND circuits A1-A3 to the held data in the latches, an OR  
**25 circuit 01, an exclusive OR circuit EX1 and a voltage applying gate G1 to**

constitute one element. A low rank bit is held to the latch of an odd number among two latches in each element and the gradation display data of an upper rank bit is held to the latch of an even number and the electric field light emitting elements are allowed to emit light two or more times in the  
5 light emitting number of times corresponding to a plurality of held light emitting data.

**[Claims]**

1. An optical printing head having a driving circuit composed of an electro-luminescent device and a thin film transistor for driving the electro-luminescent device, in which a first element of the driving circuit constructed by the thin film transistor maintains a shift register and a plurality of luminescent data signals transmitted from the shift register for a certain time, and the optical printing head comprises one electro-luminescent device, a plurality of luminescent data memory devices, a plurality of luminescent pulse timing control lines, a plurality of logic devices for performing a logic operation between a plurality of luminescent pulse timing control signals outputted from the plurality of luminescent pulse timing control lines and a plurality of luminescent data signals maintained in the plurality of luminescent data memory devices for a certain period, a logic device for performing a logic operation between the data and a frame signal, and a luminescent voltage applying gate for applying a voltage to a data electrode of the electro-luminescent device based on a logic value of the logic device, and the electro-luminescent device emits light several times by the number of times of emission according to the plurality of luminescent data maintained in the luminescent data memory device for a certain period.

[Title of the Invention]

## OPTICAL PRINTING HEAD

[Detailed Description of the Invention]

The present invention relates to a printing head using a light emitting  
5 device, and more particularly, to a method for constructing a driving circuit  
of an optical printing head using an electro-luminescent device (hereinafter,  
an EL light emitting device).

[Field of the Invention]

10 [Description of the Prior Art]

An information processing device such as a copier, a facsimile, a  
computer, etc. is being drastically presented on the market, and the device  
requires a cheap cost, a high quality, and a high function. Especially, an  
information processing device for a personal use requires the above  
15 characteristics much more. An optical printing head is a device used to  
irradiate light onto a photosensitive body inside the copier, the facsimile, the  
computer, etc. An EL light emitting device that can be easily minimized is  
being spotlighted as a light emitting device of the optical printing head.

The conventional optical printing head using the EL light emitting  
20 device is shown in FIGURE 6. As shown in FIGURE 6, a plurality of EL light  
emitting devices are displayed as a capacity signal and each device has two  
electrodes. Each one electrode (a data electrode) of the plurality of EL light  
emitting devices (EL1 to EL16) arranged in a straight line is connected to an  
EL data driver 62 as a unit of adjacent plural electrodes. One electrode is  
25 connected to a common electrode extended in a longitudinal direction of a

main scan direction of an EL printing head, and the electrode is connected to an EL common driver 63.

FIGURE 7 shows an example of a timing chart for inputting a driving pulse for driving the EL printing head shown in FIGURE 6. The light emitting device emits light four times during a recording period for one line. From the El common driver, a plus pulse and a minus pulse are sequentially inputted to common driving lines Ca, Cb, Cc, and Cd. Also, pulses are inputted to data driving lines from the EL data driver. An emission and a non-emission of each EL light emitting device are determined by an overlap of the two voltages. As shown in FIGURE 7, if EL1 to EL4 do not emit light during the recording period for one line, a pulse having the same phase as the common side is inputted to Da. On the contrary, if EL5 to EL8 emit light, a pulse having an inverse phase to the common side is inputted to Db. Referring to EL9 to EL16, EL9, EL11, and EL14 emit light and Dc and Dd are used. A positive pulse and a negative pulse corresponding to approximately 200V are applied to the common side, and a pulse corresponding to approximately 20V is applied to the data side. Generally, a matrix driving method is used to drive the EL printing head.

However, a thin film transistor TFT that can be easily formed is being mainly used as the driving circuit. A data side driving circuit using the TFT enables a direct driving method more simple than a data inputting method, and enables data to be inputted with a high speed. Also, a printer using the EL light emitting device and the TFT driving circuit is easily maintained, has a compact characteristic, and requires no polygonal mirror in a laser print.

However, in case of a gray-scale recording using the direct driving

method, the number of times that an EL light emitting device emits light is controlled so that the EL light emitting device having a gray-scale can upgrade data several times during the recording period for one line. For example, in order to control the number of times that the EL light emitting device emits light as four times (except non-emission) by the conventional circuit, data has to be inputted four times by replacement during the recording period for one line. When the number of times that data is inputted during the recording period for one line is less, the data is concentrated onto a specific part during the recording period for one line and an emission of the EL light emitting device is non-uniformly generated.

As the result, a stress for the EL light emitting device is increased thereby to lower the lifespan of the EL light emitting device and to cause a minute change in the emission of the EL light emitting device.

By upgrading data frequently during the recording period for one line, the non-uniform emission can be prevented. However, since a driving frequency of a shift register formed by the TFT is low as approximately 10MHz, the number of terminals for inputting data for the light emitting device has to be increased. As the result, a fast recording is not performed, a data processing prior to an input operation is complicated, and the printing head has a complicated construction.

The present invention is to provide a gray scale-recordable optical printing head capable of reducing the number of times that data is transmitted during a recording period for one line and capable of providing a light emitting pattern that does not increase a stress for an EL light emitting device.

**[Means for Solving the Problem]**

An optical printing head according to the present invention has a driving circuit composed of an electro-luminescent device and a thin film transistor for driving the electro-luminescent device, in which a first element of the driving circuit constructed by the thin film transistor maintains a shift register and a plurality of luminescent data signals transmitted from the shift register for a certain time. The optical printing head comprises one electro-luminescent device, a plurality of luminescent data memory devices, a plurality of luminescent pulse timing control lines, a plurality of logic devices for performing a logic operation between a plurality of luminescent pulse timing control signals outputted from the plurality of luminescent pulse timing control lines and a plurality of luminescent data signals maintained in the plurality of luminescent data memory devices for a certain period, a logic device for performing a logic operation between the data and a frame signal, and a luminescent voltage applying gate for applying a voltage to a data electrode of the electro-luminescent device based on a logic value of the logic device, and the electro-luminescent device emits light several times by the number of times of emission according to the plurality of luminescent data maintained in the luminescent data memory device for a certain period.

The shift register relevant to the optical printing head of the present invention sequentially transmits luminescent pulse data of each light emitting device inputted from an external circuit to adjacent driving elements.

The luminescent data memory device is a latch, receives a latch signal from an external circuit, applies the latch to the luminescent pulse data inputted from the shift register thereby to maintain the luminescent pulse data, and transmits the data to the logic device. In the present invention, each EL light emitting device maintains gray-scale data, so that one EL light emitting device requires at least two latches.

The luminescent pulse timing control line is a control signal line applied from outside, and is controlled so that a luminescent pulse corresponding to each gray-scale can be spread during the recording period for one line.

The logic device is composed of an AND circuit, an OR circuit, and an exclusive logic circuit. The logic device performs an operation between data maintained by the latch and the control signal applied from outside by the AND circuit and the OR circuit, and then performs an operation between the data and a frame signal by the exclusive logic circuit. Also, the logic device transmits a constant voltage H pulse signal or a negative voltage L pulse signal to a voltage controlling gate.

The luminescent voltage applying gate receives the H pulse or the L pulse resulting from the operation. In case of receiving the H pulse, the luminescent voltage applying gate applies an inverse pulse to a common side pulse to the EL light emitting device, and in case of receiving the L pulse, the luminescent voltage applying gate applies the same pulse as the common side pulse to the EL light emitting device.

The EL light emitting device receives a common side pulse voltage applied to a common electrode and a data side pulse voltage applied to a



data side electrode as an inverse phase or the same phase to/as the common side pulse voltage, thereby performing an emission operation or a non-emission operation. By the operation, the EL light emitting device emits light several times by the number of times of an emission according to the plurality of luminescent data maintained in the luminescent data memory device for a certain period.

The present invention can be also applied to a facsimile, a recording unit of a digital copier, etc.

#### 10 [Means for Solving the Problem]

In the present invention, each EL light emitting device maintains a corresponding gray-scale data. Therefore, emission data or non-emission data needs not to be transmitted whenever a luminescent pulse is inputted or several pulses corresponding to a gray-scale are inputted. Since data can be consecutively inputted to adjacent EL light emitting devices, data prior to an input operation is easily processed. Also, in the present invention, the optical printer head has an excellent recording characteristic that a luminescent pulse is not concentrated onto a specific part during the recording period for one line.

#### 20 [Preferred embodiment]

A preferred embodiment of the present invention will be explained with reference to FIGURES 1 to 5.

FIGURE 1 is a block diagram showing an optical printing head according to the present invention. Even if four light emitting devices were disclosed in FIGURE 1, thousands of EL light emitting devices are provided

at the optical printing head. A plurality of EL light emitting devices are arranged in a line unit (EL1 to EL4), one light emitting device, for example, EL1 is driven by a shift register SR, a plurality of latches, L1 and L2, AND circuits such as A1, A2, and A3 for maintaining data at the latches, an OR  
5 circuit O1, an exclusive logic circuit EX1, and a voltage applying gate G1, thereby constituting a first element. Luminescent data of each luminescent device transmits the shift register, SR and then is maintained by the latches L1 to L8.

Gray-scale display data of a low bit is maintained at the odd  
10 numbered of latch among two latches of one light emitting device, and gray-scale display data of an upper bit is maintained at the even numbered of latch among two latches of one light emitting device. A non-emission is also applied to the above case, thereby displaying four gray scales. While the EL1 to EL4 are driven during the recording period for one line by the latches  
15 L1 to L8, a gray-scale display data, a low bit, an upper bit, and a shift register can be transmitted to the next one line.

The number of the shift registers become two times for the gray-scale data, but does not re-transmit data corresponding to a gray-scale display for the recording period for one line thereby to correspond to a fast  
20 printing. Data maintained by the latches L1 to L8 is operated by control signals CTL1 and CTL2 applied from outside, and then is summed with a frame signal FR by an exclusive logical circuit, thereby opening and closing G4 by the voltage controlling gate G1. Due to the exclusive logic circuit EX1, a voltage having the same phase or an inverse phase as/to the frame signal  
25 FR can be applied to the EL light emitting device by the gray-scale data

maintained at the latch. A voltage  $V_c$  is applied to common side electrodes of the EL1 to EL4 of the EL light emitting device, and a voltage having an inverse phase to the voltage  $V_c$  is applied to a data side electrode of the EL light emitting device. When the voltages applied to both ends of the EL light emitting device exceed threshold values, the EL light emitting device emits light.

FIGURE 2 is a timing chart of a signal when a circuit is operated, in which a luminescent period for one line is shown. As six positive pulses and six negative pulses are applied to the common side electrode of the EL light emitting device, a voltage having an inverse phase to the common side electrode is applied to the data side electrode. By the sum between the voltages applied to the data side electrode and the common side electrode, the EL light emitting device emits light. When a voltage more than a threshold is applied to the data side electrode, the EL light emitting device emits light 12 times to the maximum. If one data having two values exists at two latches corresponding to one light emitting device, the AND circuit of A2, A5, A8, and A11 is outputted as a high level and thereby a signal having an inverse phase to the FR signal is introduced into the G1 or G4. As the result, an inverse signal is outputted from the gate and thereby a voltage having the same phase as the FR signal is applied to the data side electrode of the EL light emitting device. Since the FR signal is introduced into the G1 to G4 as an inverse phase to the common side electrode, the EL light emitting device emits light. Maintenance data of the two latches is expressed as a low bit and an upper bit, and FIGURE 2 shows how a voltage is applied to the data side electrode of the EL emitting device by signals of CTL1 and CTL2.

As shown in FIGURE 2, when the EL light emitting device emits light 12 times for the latch data (1, 1), the device emits light 8 times for the latch data (0, 1) and emits light 4 times for the latch data (1,0). That is, when numbers 1 to 12 are given to the common side pulse, the device emits light 12 times in 1 to 12 in case of the latch data (1, 1), 8 times in 1, 4, 5, 6, 7, 8, 9, and 12 in case of the latch data (0, 1), and 4 times in 1, 4, 7, and 10 in case of the latch data (1, 0).

The control signals CTL1 and CTL2 are selected so that a luminescent pulse corresponding to each gray-scale can be spread between the recording period for one line. As the luminescent pulse, a pattern to be spread within a range of the recording period for one line is preferably used. However, the luminescent pulse is not limited to the pattern.

In the conventional circuit, data transmission of 9 times is necessary as shown in FIGURE 2 as the arrows because data maintained by the latch has to be changed when levels of (1, 1), (0, 1), and (1, 0) are transited into a state different from an inverse state to the previous state at the time of reversing an FR signal. In the circuit of the present invention, data may be transmitted only first single time, and the time required to transmit data is greatly reduced when the number of shift registers is increased into two times. As the number of gray-scales is increased, the effect that the plurality of latches are applied is increased.

In case of using a TFT as the driving circuit, the shift register, the latch, the AND circuit, the OR circuit, the exclusive logic circuit, etc. can be formed as a comparatively small device. On the contrary, a voltage applying gate to the EL electrode of a final end has to satisfy a pressure resistant

characteristic and a current resistant characteristic thereby to be formed as a comparatively large size. Accordingly, the device having the plural latches and an occupied area thereof may be comparatively small.

Another embodiment of the present invention is illustrated in FIGURES 3 and 4. Referring to FIGURES 3 and 4, the number of the shift register is not increased when compared with the conventional circuit. However, the shift register has a latch,  $L_{cn}$  besides two latches for displaying a gray-scale,  $L_{an}$  and  $L_{bn}$  ( $n=1$  to 3). Data for upper bits of gray-scale data of each light emitting device is transmitted to the shift register thereby to be maintained in the  $LC1$  to  $LC3$ . Then, data for lower bits is transmitted to the shift register. As a Latch-B signal and a Latch-A signal are sequentially applied to the shift register, the data maintained in the  $Lc1$ , etc. is transmitted to the  $La1$  to  $La3$ . Then, as a Latch-C signal and a Latch-B signal are sequentially applied to the shift register, the data for lower bits of the gray-scale data is maintained in the  $Lb1$  to  $Lb3$ .

FIGURE 4 is a timing chart. Referring to FIGURE 4,  $t_{n-1}$ ,  $t_n$ , and  $t_{n+1}$  respectively denote a printing time of an  $n-1^{th}$  line, an  $n^{th}$  line, and an  $n+1^{th}$  line. For the printing time of the  $t_{n-1}$  line, printing data of the next line is supplied. Upper bits and lower bits of the gray-scale are sequentially transmitted to the shift register by using  $1/2$  of the recording period for one line. The upper bit data and the lower bit data are maintained in the  $La1$  to  $La3$  and  $Lb1$  to  $Lb3$  at an initial time of the next printing period, and the luminescent pulse is controlled by the control lines,  $CTL1$  and  $CTL2$  for the data. In this embodiment, the light emitting device has 14 luminescent pulses for one line, and the first 12 pulses are controlled by printing data of

the line and the last 2 pulses are controlled by upper bits among the printing data of the next line.

The next upper bits tend to be 1 in consecutive lines, etc., and the line can be clarified by inputting two pulses. On the contrary, at the time of separating the line per each dot, two pulses are not inputted. Since upper bits of the next line are maintained in the Lc1 to Lc3 at a later time of the printing time for one line, the pulses can be controlled by the data by using the control line, CTL3. In case that the pulses are not controlled in the next line, the CTL3 is certified and the AND circuit for the output of the Lc1 to Lc3 is certified thereby to perform the aforementioned control (in this case, the Lc1 to Lc3 are necessary as buffers of read data). FIGURE 5 is an example showing a brightness voltage characteristic of the EL light emitting device. Referring to FIGURE 5,  $V_{th}$  denotes a luminescent threshold voltage. Also, at the time of driving the device, and a positive pulse and a negative pulse of a voltage of  $V_a$  are applied to the EL light emitting device by the data side electrode and the common side electrode. However, since a pulse having a voltage less than the  $V_{th}$  is applied to a non-luminescent EL device, the non-luminescent EL device does not emit light.

#### [Effect of the Invention]

The optical printing head according to the present invention comprises a driving circuit composed of an electro-luminescent device and a thin film transistor for driving the electro-luminescent device, in which a first element of the driving circuit constructed by the thin film transistor maintains a shift register and a plurality of luminescent data signals

transmitted from the shift register for a certain time, and the optical printing head comprises one electro-luminescent device, a plurality of luminescent data memory devices, a plurality of luminescent pulse timing control lines, a plurality of logic devices for performing a logic operation between a plurality of luminescent pulse timing control signals outputted from the plurality of luminescent pulse timing control lines and a plurality of luminescent data signals maintained in the plurality of luminescent data memory devices for a certain period, a logic device for performing a logic operation between the data and a frame signal, and a luminescent voltage applying gate for applying a voltage to a data electrode of the electro-luminescent device based on a logic value of the logic device. In the optical printing head, the electro-luminescent device emits light several times by the number of times of an emission according to the plurality of luminescent data maintained in the luminescent data memory device for a certain period. Accordingly, a plurality of luminescent pulses can be set by spread for the recording period for one line without increasing the number of times that data is transmitted at the time of expressing a gray-scale. As the result, the optical printing head using the EL light emitting device having a fast recording characteristic, a reliability, and a high recording quality can be implemented.

The optical printing head is very suitable for a fast printing for an output of an information processing device such as a copier, a facsimile, a computer, etc. that is being minimized with a high function.

#### [Description of Drawings]

FIGURE 1 is a block diagram showing a first embodiment of an

optical printing head according to the present invention;

FIGURE 2 is a view showing a driving timing chart of the optical printing head according to the first embodiment of the present invention;

FIGURE 3 is a block diagram showing another embodiment of the  
5 optical printing head according to the present invention;

FIGURE 4 is a view showing a driving timing chart of the optical printing head according to another embodiment of the present invention;

FIGURE 5 is a view showing an example of a brightness voltage characteristic of the optical printing head according to the present  
10 invention;

FIGURE 6 is a block diagram showing a main part of an optical printing head in accordance with the conventional art; and

FIGURE 7 is a view showing a driving timing chart of the optical printing head in accordance with the conventional art.

15





(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-64229

(43) 公開日 平成6年(1994)3月8日

(51) IntCl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
B 4 1 J 2/44				
2/45				
2/455				
H 0 1 L 33/00	J	7514-4M	B 4 1 J 3/21	L
		7246-2C		
審査請求 未請求 請求項の数1(全 8 頁) 最終頁に続く				

(21) 出願番号 特願平4-223928

(22) 出願日 平成4年(1992)8月24日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 黒田 泰史

神奈川県川崎市幸区堀川町72 株式会社東芝堀川町工場内

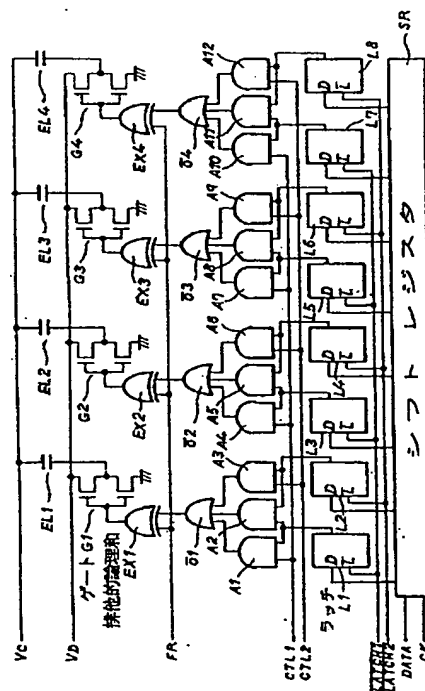
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 光プリンタヘッド

(57) 【要約】

【目的】 1 line 記録期間中のデータ転送回数を低減し、かつEL発光素子へのストレス低減をもたらすような発光パターンを与える階調記録が可能な光プリンタヘッド。

【構成】 EL発光素子からなる光プリンタヘッドの駆動回路が、シフトレジスタと、EL発光素子1素子あたり複数の発光データ記憶素子と、複数の発光パルスタイミング制御信号と複数の発光データ信号との論理演算を行う複数の論理素子と、ついでフレーム信号との論理演算を行う論理素子と、EL発光素子のデータ側電極に電圧を印加する発光電圧印加用ゲートとを有し、発光データ記憶素子にて一定期間中保持される複数の発光データに応じた発光回数にてEL発光素子を複数回発光させる。



1

## 【特許請求の範囲】

【請求項1】 電界発光素子と、該電界発光素子を駆動させる薄膜トランジスタにより構成された駆動回路とを有する光プリンタヘッドにおいて、

前記薄膜トランジスタにより構成された駆動回路の1エレメントが、

シフトレジスタと、

前記シフトレジスタより転送される複数の発光データ信号を一定期間中保持することのできる、前記電界発光素子1素子あたり複数の発光データ記憶素子と、

複数の発光パルスタイミング制御線と、

前記複数の発光パルスタイミング制御線からの複数の発光パルスタイミング制御信号と前記複数の発光データ記憶素子にて一定期間中保持された複数の発光データ信号との論理演算を行う複数の論理素子と、ついでフレーム信号との論理演算を行う論理素子と、

前記論理素子の論理値に基づいて、前記電界発光素子のデータ側電極に電圧を印加する発光電圧印加用ゲートとを有し、前記発光データ記憶素子にて一定期間中保持される複数の発光データに応じた発光回数にて前記電界発光素子を複数回発光させることを特徴とする光プリンタヘッド。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は発光素子を用いたプリンタヘッドに関わり、特に電界発光素子（以下、EL発光素子と称する）を用いた光プリンタヘッドの駆動回路構成方法に関するものである。

【0002】

【従来の技術】 複写機、ファクシミリ、コンピュータなどの情報処理機器は急速に市場を拡大しつつあり、そこで用いられるデバイス等にも安価であるとともに、高品質、高機能なものが要求されてきている。特にパーソナルユースを対象とした情報処理機器においてこの傾向は強い。光プリンタヘッドは、上述の複写機、ファクシミリ、コンピュータ等において感光体への光照射に用いられるデバイスであり、光プリンタヘッドの発光素子として、小型化が容易なEL発光素子が注目されている。

【0003】 EL発光素子を用いた従来の光プリンタヘッドの構成を図6に示す。図6において、EL発光素子61全体は、複数のEL発光素子が容量の記号で表わされ、それぞれ2つの電極を有する。直線状に配置された複数のEL発光素子（EL1～EL16）それぞれの2つの電極のうち一方の電極（データ側電極）は隣接する複数個ごとにまとめられELデータ側ドライバ62へ接続されている。他方の電極（コモン側電極）はELプリンタヘッドの主走査方向全長に引き延ばされたコモン電極へ接続され、これはELコモン側ドライバ63に接続されている。

【0004】 図6に示すELプリンタヘッドを駆動する

2

ための駆動パルス投入のタイミングチャート例を図7に示す。1line記録期間中に発光素子において4回発光させるとしてある。ELコモン側ドライバからはコモン側駆動ラインCa、Cb、Cc、Cdに順次正負のパルスが投入されていく。これにあわせてELデータドライバ側からもパルス投入される。双方の電圧の重畳により各EL発光素子の発光、非発光が決まる。図7に示したようにこの1line分記録時間中EL1～EL4まで非発光であればDaにはコモン側と同相のパルスが投入される。EL5～EL8まで発光とするとDbはコモン側と逆相のパルスの投入される。EL9～EL16に関してはEL9、EL11、EL14が発光するとしてDc、Ddの例はしめた。コモン側は200Vぐらいの正負のパルスを印加し、データ側は20Vぐらいのパルスを印加する。このようにELプリンタヘッドの駆動では通常マトリックス駆動が用いられている。

【0005】 しかしながら近年こうした駆動回路部に、大面積での形成が容易なことから薄膜トランジスタ（TFT）が多用されつつある。このTFTを用いたデータ側駆動回路は、データ入力より簡単なダイレクトドライブ方式を可能にする結果、データ入力を高速化できる利点がある。また、EL発光素子とTFT駆動回路とを用いたプリンタはメンテナンスが容易、コンパクトであり、レーザープリンタにおけるポリゴンミラーが不要といった優れた特徴をもっている。

【0006】

【発明が解決しようとする課題】 しかしながら、ダイレクトドライブ方式を用いて階調記録をしようとした場合、通常ELの発光回数を制御することにより階調表現を得ているEL発光素子は1line記録時間中に複数回のデータ入力が必要になる。たとえば、従来の回路構成で発光回数を4段階（非発光をのぞいて）制御しようとした場合、1line記録時間中に4回データを書き換えねばならない。1line記録時間中における複数回のデータ入力に際して、データ入力数が少ないと、発光回数が1line記録期間中の特定部に集中する傾向があり、発光分布が不均一となる問題があった。さらにその結果、ELへのストレスを増加させEL発光素子の寿命を低下させ、EL発光の経時変化を起こさせるとの問題があった。

【0007】 一方、1line時間中でのデータ書換えを頻繁に行うことにより、発光分布の不均一を避けることができる。しかしTFTにより形成されたデータ転送部（シフトレジスタ）の駆動周波数は一般に10MHz程度と低いと、全発光素子にたいするデータ入力端子数を増加させなければならない。その結果、高速記録に適さなく、また入力前のデータ処理の煩雑化、プリンタヘッド構成の複雑化をもたらすとの問題があった。

【0008】 本発明は、このような問題を解決するためになされたもので、1line記録期間中のデータ転送

3

回数を低減し、かつEL発光素子へのストレスを増加させないような発光パターンを与える階調記録が可能な光プリンタヘッドを提供することを目的とする。

【0009】

【課題を解決するための手段】本発明の光プリンタヘッドは、EL発光素子と、該EL発光素子を駆動させる薄膜トランジスタにより構成された駆動回路とを有する光プリンタヘッドにおいて、薄膜トランジスタにより構成された駆動回路の1エレメントが、シフトレジスタと、このシフトレジスタより転送される複数の発光データ信号を一定期間中保持することのできる、EL発光素子1素子あたり複数の発光データ記憶素子と、複数の発光パルスタイミング制御線からの複数の発光パルスタイミング制御信号と複数の発光データ記憶素子にて一定期間中保持された複数の発光データ信号との論理演算を行う複数の論理素子と、ついでフレーム信号との論理演算を行う論理素子と、これら論理素子の論理値に基づいて、EL発光素子のデータ側電極に電圧を印加する発光電圧印加用ゲートとを有し、発光データ記憶素子にて一定期間中保持される複数の発光データに応じた発光回数にてEL発光素子を複数回発光させることを特徴とする。

【0010】本発明の光プリンタヘッドに係わるシフトレジスタは外部回路にて制御されて入力された各発光素子の発光パルスデータを隣接する駆動エレメントへ順次転送する機能を有する。

【0011】発光データ記憶素子は、ラッチであって、外部回路からのラッチ信号を受けて、シフトレジスタから入力された発光パルスデータにラッチをかけてそのときの発光パルスデータを保持し、これを論理素子へと送出する機能を有する。本発明においては、階調データを各EL発光素子ごとに保持するため、EL発光素子1素子あたり少なくとも2個以上のラッチを必要とする。

【0012】発光パルスタイミング制御線は、外部からのコントロール信号線であり、各階調に対応した発光パルスが1line分の記録時間の間で分散されるように選択制御される。

【0013】論理素子は、ANDおよびOR回路ならびに排他的論理和回路とからなり、ラッチにより保持されたデータと外部からのコントロール信号との演算をANDおよびOR回路で行ったのち、さらにフレーム信号との演算を排他的論理和回路で行い、電圧制御用ゲートへ正電圧(H)または負電圧(L)パルス信号を送出する機能を有する。

【0014】発光電圧印加用ゲートは、演算結果のHまたはLパルスを受け、Hパルスに対してはコモン側パルスと逆相のパルスを、またLパルスに対してはコモン側パルスと同相のパルスをEL発光素子に印加する機能を有する。

【0015】EL発光素子は、コモン電極に印加される

4

コモン側パルス電圧と、このコモン側パルス電圧に対して逆相または同相でデータ側電極に印加されるデータ側パルス電圧を受けて、発光または非発光の動作を実行する。この動作により、発光データ記憶素子にて一定期間中保持される複数の発光データに応じた発光回数にてEL発光素子を複数回発光させることができる。

【0016】なお本発明はファクシミリ、デジタルコピーの記録部等にも適用できることは言うまでもない。

【0017】

【作用】本発明では各EL発光素子に対応した階調データを各EL発光素子ごとに保持できるので、発光、非発光のデータを発光パルスの投入ごとに、あるいは階調に対応したいくつかのパルス数の投入ごとに転送する必要がなくなる。なおかつ隣接するEL発光素子に対応したデータを連続して入力できるため入力前のデータの処理が容易となる。また1line記録時間中に発光パルスを特定の部分に集中しないように設定できる良好な記録特性を持つ光プリンタヘッドが得られる。

【0018】

【実施例】本発明の一実施例を図1から図5を用いて説明する。図1は本発明の光プリンタヘッドのブロック図である。ここでは簡便のため発光素子を4つにして記述するが実際の光プリンタヘッドではEL発光素子数は数千になる。EL発光素子がライン状に複数ビット配置されており(EL1~EL4)、1つの発光素子、例えばEL1はシフトレジスタSR、複数おかれたラッチL1、L2、ラッチでの保持データに対するAND回路A1、A2、A3およびOR回路O1、排他的論理和回路EX1、電圧印加用ゲートG1によって駆動され、1エレメントを構成する。各発光素子の発光データはシフトレジスタSRを転送されたのちラッチ部L1~L8により保持される。

【0019】1つの発光素子に対する2つのラッチのうち奇数番のラッチには低位ビット、偶数番のラッチには上位ビットの階調表示データを保持する。これにより非発光もふくめて4階調表示が可能となる。ラッチL1~L8によりEL素子部EL1~EL4を1line記録期間中駆動させている間に次の1lineでの階調表示データを、低位ビット、上位ビットあわせてシフトレジスタSRを転送できる。

【0020】ここで階調データ分の存在のためシフトレジスタ自身は2倍の素子数となるが、1line記録期間中は階調表現に対応したデータの再転送はおこなわないため結局、高速印字に対応できる。ラッチL1~L8により保持されたデータは外部からのコントロール信号CTL1、CTL2との演算ののちフレーム信号FRと排他的論理和がとられ、それにより電圧制御用ゲートG1からG4の開閉が行われる。この排他的論理和回路EX1のためラッチに保持された階調データによりフレーム信号FRと同相あるいは逆相の電圧印加をEL発光素

5

子に対しておこなうことができる。

【0021】EL発光素子EL1～EL4のコモン側電極に印加される電圧Vcにたいして該EL素子のデータ側電極に印加される電圧が逆相となって、EL発光素子両端にかかる電圧があるしきい値電圧を越えるときそのEL発光素子は発光することになる。

【0022】図2はこの回路の動作時の信号のタイミングチャートである。ここには11line分の発光期間をしめした。この期間中EL発光素子のコモン側電極の正負6個ずつのバルスによりデータ側電極にコモン側と逆相の電圧印加の和により発光しきい値電圧以上の電圧印加がおこなわれれば発光する。そのため最大12回の発光がえられる。これは1発光素子に対応した2つのラッチの双方に2値で1のデータがあればA2, A5, A8, A11のAND回路出力はHighレベルになりFR信号と逆相の信号がG1～G4のゲートにはいる。この結果ゲートからの出力は反転されたかたちとなりFRと同相の電圧印加がEL発光素子のデータ側電極になされる。FRはELコモン側電極と逆相にて投入されているため、このときEL発光素子は発光をおこなう。2つのラッチの保持データを(低位ビット、上位ビット)であらわしてELのデータ側電極への電圧がどうなるかを図2にはしめしてある。これは同じく図2中にしめしたCTL1, CTL2の信号によりコントロールされた例である。ここでわかるように(1, 1)のラッチデータにたいして12回発光する時、(0, 1)では8回、(1, 0)では4回の発光になっている。すなわち、コモン側のバルスに図2中に示すように1～12の番号づけをしたとき、ラッチデータが(1, 1)の場合、1～12のすべてで発光し、ラッチデータが(0, 1)では1, 4, 5, 6, 7, 8, 9, 12の8回、ラッチデータが(1, 0)では1, 4, 7, 10の4回発光となる。

【0023】コントロール信号CTL1, CTL2はそれぞれ各階調に対応した発光バルスが11line分の記録時間の間で分散されるように選択されている。発光バ尔斯のパターンは11line分の記録時間の間で分散されるパターンであればよく、このパターンに限るわけではない。

【0024】従来の回路構成では図2中下部に矢印でしめしたように9回のデータ転送が必要である。これは(1, 1)、(0, 1)、(1, 0)のレベルがFR信号の反転時に、それ以前の状態を反転したものと異なる状態に移移するさいには従来回路においてはラッチに保持されたデータを変えてやる必要があるからである。これが本発明に係る回路では最初の1回の転送のみでよく、たとえシフトレジスタの素子数が2倍になったところでデータ転送に要する時間は大幅に低減される。またこれは階調数がおおきくなるほど本提案のように複数のラッチをもうける効果はよりおおきくなる。

6

【0025】なお、駆動回路部にTFTを用いた場合、シフトレジスタ、ラッチ、AND回路、OR回路、排他的論理和回路などは比較的小素子で形成でき、最終段のEL電極への電圧印加用ゲートは耐圧、耐電流特性を満たす必要があるため比較的大きくなる。そのため複数ラッチ化での素子およびその占有面積の増加は比較的小さくてよい。

【0026】本発明の他の実施例を図3及び図4に示す。ここではシフトレジスタの素子数は従来回路に比べて増加していないが、階調表現用の2つのラッチLanとLbnのほかにLcnのラッチも持つ(ここでn=1～3)。シフトレジスタにはまず各発光素子の階調データの上位ビット分のデータが転送されLc1～Lc3にて保持される。その後階調データの低位ビット分のデータがシフトレジスタ中を転送される。Latch-B、Latch-Aの信号を順次かけることでLc1等に保持されていたデータはLa1～3に転送される。この後Latch-C、Latch-Bの信号の順次投入によりシフトレジスタ中を転送された階調データの低位ビット分のデータはLb1～3に保持される。

【0027】この様子を図4のタイミングチャートに示す。ta-1, ta, ta+1はそれぞれ第n-1ライン、第nライン、第n+1ラインの印字時間である。ta-1ラインの印字時間中に次のラインの印字データがおくられる。11lineの記録時間中のそれぞれ1/2をもちいて階調データの上位ビット、低位ビットが順次おくられる。次の印字期間の最初にはこの上位ビット、低位ビットのデータはLa1～3, Lb1～3に保持され、このデータにたいしCTL1, CTL2の制御線によりさきに示した本発明の実施例と同様の発光パルス制御が行われる。ただしここでは11lineあたりの発光パルス数は14パルスとして、そのうち最初の12パルスはそのラインの印字データを用いた制御をおこない、最後の2パルスは次のラインの印字データのうち上位ビットを用いている。

【0028】連続する線などではつぎの上位ビットも1である傾向が強く、この2パルスをいれることで線が明瞭化する。反面、それ以外での各ドットごとを分離したいような場合にはこの2パルスを投入しない。11line印字時間の後半には次のラインの上位ビットがLc1～3に存在しているため、このデータをもちいての制御が可能である。これはCTL3の制御線によっておこなっている。次ラインでの制御を行わない場合にはCTL3をのぞき、Lc1～3の出力とのAND回路をのぞけばそのまま先にしめした実施例と同じ制御になる。(この場合でもLc1～3は読み込んだデータのバッファとして必要である。)図5はこのEL発光素子の輝度電圧特性の典型的例である。図中、Vthは発光しきい値電圧であり駆動時発光EL素子には図中のVaの電圧の正負のバルスがデータ側、コモン側電極により印加される

7

のに対し非発光EL素子では $V_{th}$ 以下の電圧のパルス印加となるため発光がおこらない。

【0029】

【発明の効果】本発明の光プリンタヘッドは、薄膜トランジスタにより構成された駆動回路の1エレメントが、シフトレジスタより転送される複数の発光データ信号を一定期間中保持することのできる、EL発光素子1素子あたり複数の発光データ記憶素子と、複数の発光パルスタイミング制御線からの複数の発光パルスタイミング制御信号と複数の発光データ記憶素子にて一定期間中保持された複数の発光データ信号との論理演算を行う複数の論理素子とを特徴として有し、発光データ記憶素子にて一定期間中保持される複数の発光データに応じた発光回数にてEL発光素子を複数回発光させることができるので、階調表現時、1line記録時の複数の発光パルスをデータ転送回数を増やすことなく、1line記録時間中に分散して設定できる。その結果、高速記録性、信頼性上有利な、高記録品位のEL発光素子を用いた光プリンタヘッドを得ることができる。

【0030】この光プリンタヘッドは、小型化や高機能化の進む複写機、ファクシミリ、コンピュータなどの情報処理機器の出力用高速印字デバイスとして好適である。

【図面の簡単な説明】

8

【図1】本発明の光プリンタヘッドの第1の実施例の構成を示すブロック図である。

【図2】本発明の光プリンタヘッドの第1の実施例における駆動タイミングチャートを示す図である。

【図3】本発明の光プリンタヘッドの他の実施例の構成を示すブロック図である。

【図4】本発明の光プリンタヘッドの他の実施例における駆動タイミングチャートを示す図である。

【図5】本発明の光プリンタヘッドの輝度電圧特性の典型例を示す図である。

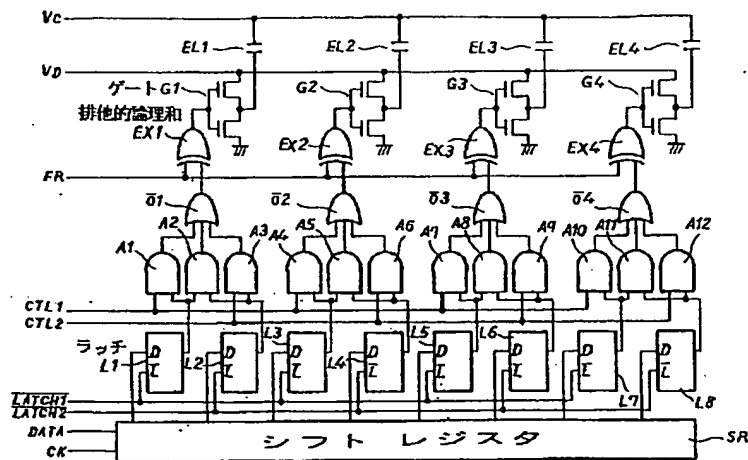
【図6】光プリンタヘッドの従来例の要部構成を示すブロック図である。

【図7】光プリンタヘッドの従来例での駆動タイミングチャートを示す図である。

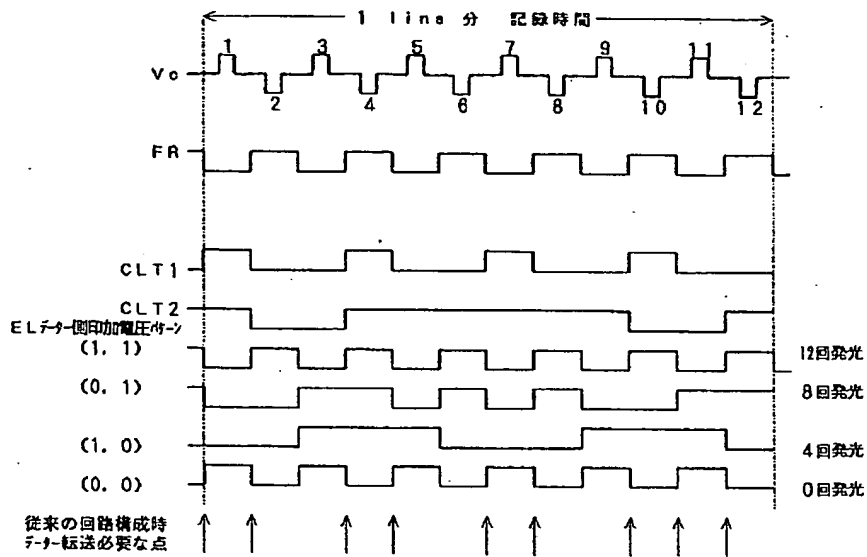
【符号の説明】

EL1~EL16.....EL発光素子、SR.....シフトレジスタ、L1~L8、La1~La3、Lb1~Lb3、Lc1~Lc3.....ラッチ、A1~A12.....AND回路、O1~O4.....OR回路、Ex1~Ex4.....排他的論理和回路、G1~G4.....電圧印加用ゲート、61.....EL発光素子全体、62.....ELデータ側ドライバ、63.....ELコモン側ドライバ。

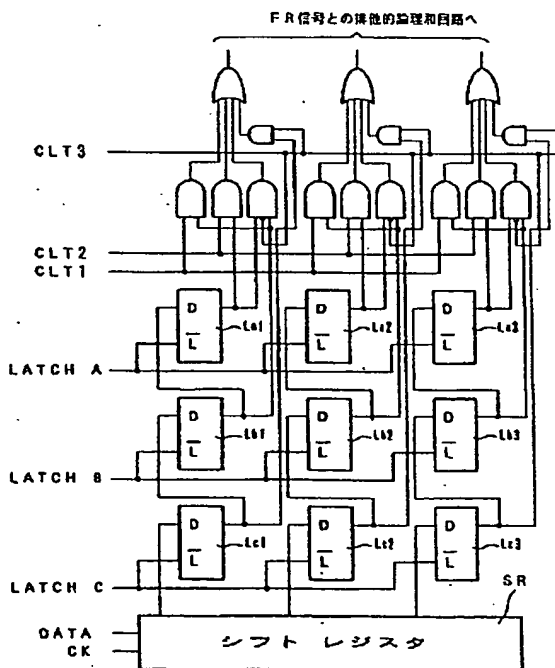
【図1】



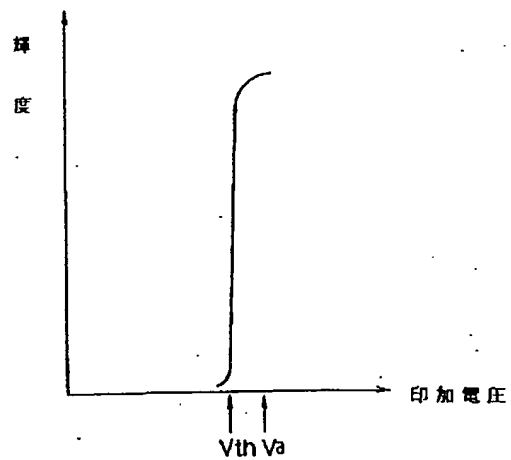
【図2】



【図3】



【図5】



The timing diagram illustrates the operation of the 74VHC163 3-bit counter. The signals shown are:

- VCC**: Power supply voltage, shown as a constant high level.
- DATA**: Data input/output signal, shown as a series of pulses.
- LATCH A, B, C**: Latch enable signals, shown as pulses.
- CTL1, CTL2, CTL3**: Control signals, shown as pulses.

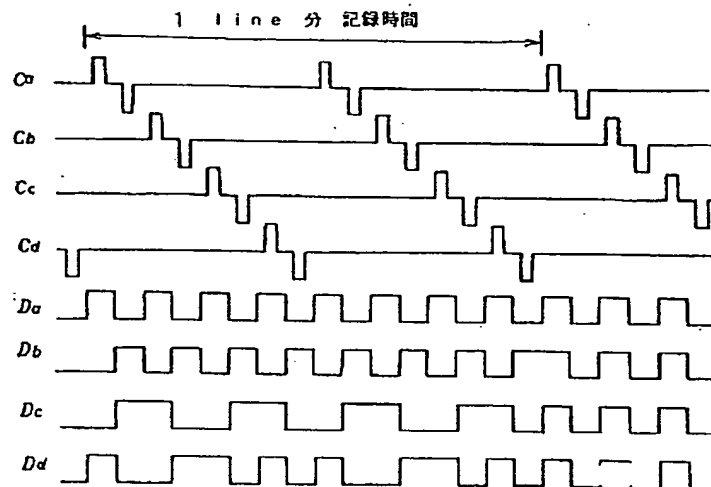
The diagram is divided into three time intervals:  $t_{n-1}$ ,  $t_n$ , and  $t_{n+n}$ . The DATA signal is shown with values  $D_{n-1E}$ ,  $D_{n-1F}$ ,  $D_{nE}$ ,  $D_{nF}$ ,  $D_{n+1E}$ , and  $D_{n+1F}$ . The LATCH A, B, and C signals are shown with their respective data values. The CTL1, CTL2, and CTL3 signals are shown as control pulses.

A detailed view of the latch signals is provided at the bottom, showing the timing of LATCH A, LATCH B, and LATCH C relative to the DATA signal.

Figure 1 is a schematic diagram of a common-emitter EL data driver circuit. The circuit is divided into four sections by dashed lines, labeled D1, D2, D3, and D4. The circuit includes an EL common-emitter driver (EL コモン側 ドライバー) on the left, connected to a series of EL data driver transistors (EL データ側 ドライバー) on the right. The transistors are labeled EL1 through EL16. The circuit is powered by a common-emitter power supply (コモン側電源) and a data driver power supply (データ側電源). The diagram also shows a main current direction (主電流方向) indicated by an arrow pointing right.



【図7】




---

フロントページの続き

(51) Int. Cl.<sup>5</sup>

H04N 1/036

識別記号

庁内整理番号

F I

技術表示箇所

A 9070-5C